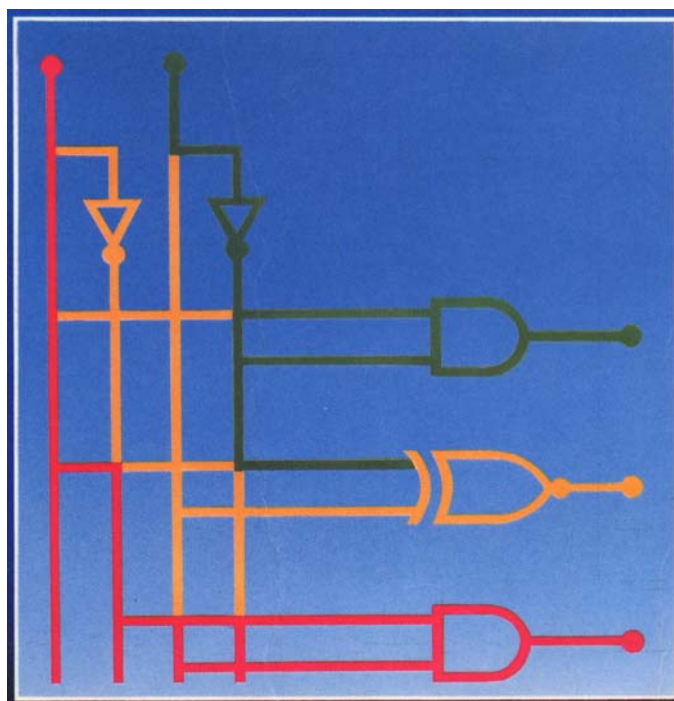


10 Prácticas de Electrónica Digital



Índice General

PRACTICA N° 1. CERRADURA DIGITAL CODIFICADA	4
PRACTICA N° 2. CIRCUITO DE DECISIÓN MAYORITARIA	6
PRACTICA N° 3. DETECCIÓN Y SEÑALIZACIÓN DEL NIVEL DE LIQUIDO	9
PRACTICA N° 4. CIRCUITO DE CONTROL DE INTERRUPCIONES	12
PRACTICA N° 5. OBTENCIÓN DE UN BIESTABLE GTD A PARTIR DE UN BIESTABLE J-K	15
PRACTICA N° 6. CONTROL DE NIVELES DE LÍQUIDOS	19
PRACTICA N° 7. CERRADURA DE ALTA SEGURIDAD	23
PRACTICA N° 8. CONTADOR SÍNCRONO MODULO 6, CON BIESTABLES.	27
PRACTICA N° 9. CONTROL DE ENVASADO.	30
PRACTICA N° 10. SISTEMA DE CONTROL DE UNA CINTA TRANSPORTADORA.	32
ANEXOS	36

Presentación

Estas 10 prácticas pertenecen a un curso de diseño y reparación de circuitos digitales que correspondía al segundo nivel del curso de Electrónica Digital realizado en el año 1986.

Como veréis, las primeras prácticas, comienza con un repaso a la lógica combinacional más sencilla con operadores lógicos AND, OR, NOT NAND y NOR, y posteriormente alcanzando niveles más complejos en sistemas secuenciales con transformación de biestables, contadores, comparadores, memorias y circuitos autómatas y, siempre utilizando casos prácticos.

Veréis también las fases de diseño utilizando la tabla de verdad y de transición, los diagramas de estados, los teoremas de reducción de ecuaciones lógicas como Boole, Karnaugh ó Morgan y la implementación en circuito eléctrico. El desarrollo de estas tablas, en algunas prácticas, es un poco más laboriosa y quizás complicada de entender para algunos lectores sobre todo si no se conoce las técnicas de planteamiento y simplificación de variables para determinadas condiciones lógicas de entrada y salida y, para ello, se debe tener bien comprendido la temática del problema para obtener al final un planteamiento y resolución correcto.

Al final del documento se añade un Anexo que contiene una tabla con los circuitos integrados TTL más utilizados y los data book de algunos integrados utilizados en las prácticas.

Pretendo que con estas 10 prácticas se aporte, en principio, los conocimientos suficientes para plantear y resolver un problema que tengamos que utilizar la lógica digital, aunque el problema sea sencillo.

Y queda decir, por mi parte, que... las viejas prácticas nunca mueren.

PRACTICA Nº 1. CERRADURA DIGITAL CODIFICADA

TEMA: DISEÑO Y REPARACIÓN DE CIRCUITOS COMBINACIONALES SENCILLOS

TITULO DE LA PRÁCTICA: CERRADURA DIGITAL

OBJETIVO DE LA PRACTICA: REPASO DE PUERTAS LÓGICAS AND, OR, NOT, NAND Y NOR

ENUNCIADO DEL PROBLEMA:

Diseñar un circuito digital para una cerradura electrónica que responda a una sola clave ó combinación. La clave secreta conocida únicamente por el propietario, se formará mediante cinco interruptores A, B, C, D y E.

Si es usada para abrir la cerradura, cualquier combinación distinta de la clave secreta, deberá sonar una alarma(AL) . Esta alarma no debe dispararse mientras se está formando la clave de entrada, para ello, introduciremos una señal más que llamaremos de validación (V).

La señal de apertura (AP) debe activarse para la siguiente combinación de señales de entrada: A, B, D = Nivel alto, C, E = Nivel bajo.

CIRCUITOS INTEGRADOS A UTILIZAR:

UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7404	Seis inversores. LP Lógica Positiva
1	7408	Cuádruplo puerta AND. Dos entradas. LP
1	7410	Triple puerta NAND. Tres entradas. LP

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7404	14	7
7408	14	7
7410	14	7

DESARROLLO DE LA PRÁCTICA:

Fase 1^a. Tabla de verdad.

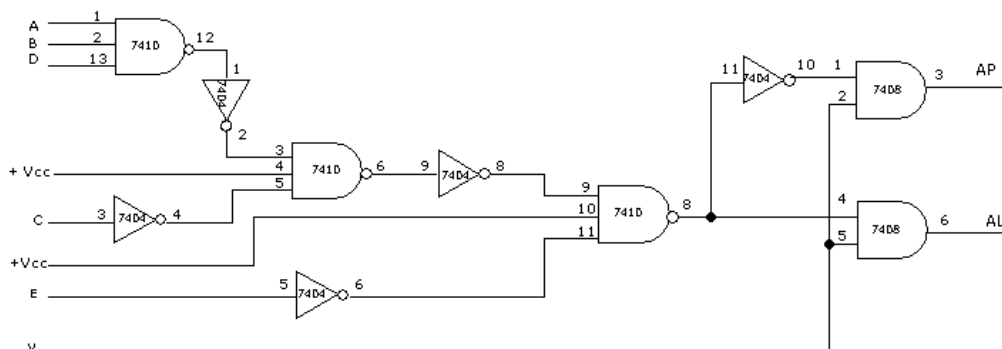
ENTRADAS						SALIDAS	
V	A	B	C	D	E	AP	AL
1	1	1	0	1	0	1	0
TODAS LAS DEMAS COMBINACIONES, CON V = 1						0	1
TODAS LAS DEMAS COMBINACIONES, CON V = 0						0	0

Fase 2^a. Obtención de las ecuaciones lógicas de salida a partir de la tabla de verdad.

$$AP = A \cdot B \cdot \bar{C} \cdot D \cdot \bar{E} \cdot V$$

$$\bar{AL} = A \cdot B \cdot \bar{C} \cdot D \cdot \bar{E} \cdot V + \text{Todos el resto de combinaciones de A, B, C, D y E con } \bar{V} = A \cdot B \cdot \bar{C} \cdot D \cdot \bar{E} + \bar{V}$$

Fase 3^a. Implementación mediante puertas lógicas AND, NAND y NOT, de las ecuaciones obtenidas en la fase 2^a.



Fase 4^a. Montar el circuito correspondiente al esquema de la Fase 3^a en el entrenador lógico.

Fase 5^a. Verificar el correcto funcionamiento. Medir con osciloscopio el diagrama de tiempos.

PRACTICA Nº 2. CIRCUITO DE DECISIÓN MAYORITARIA

TEMA: DISEÑO Y REPARACIÓN DE CIRCUITOS COMBINACIONALES SENCILLOS

TITULO DE LA PRÁCTICA: CIRCUITO DE DECISIÓN MAYORITARIA

OBJETIVO DE LA PRACTICA: REPASO DE PUERTAS LÓGICAS AND, OR, NOT, NAND Y NOR

ENUNCIADO DEL PROBLEMA:

Una planta eléctrica nuclear tiene entre sus circuitos digitales de control uno que debe presentar una fiabilidad especialmente elevada. Para aumentarla se usan tres circuitos idénticos, lo que se conoce normalmente como *redundancia modular triple*.

Las salidas de estos tres circuitos se llevan a una puerta mayoritaria, la cual es un dispositivo cuya salida es siempre concordante con la mayoría de las entradas. Por tanto, si uno de los circuitos falla, la salida de la puerta mayoritaria indicará lo que marquen los otros dos circuitos.

CIRCUITOS INTEGRADOS A UTILIZAR:

UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7408	Cuádruplo puerta AND. Dos entradas. LP
1	7432	Cuádruplo puerta OR. Dos entradas LP

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7408	14	7
7432	14	7

DESARROLLO DE LA PRÁCTICA:

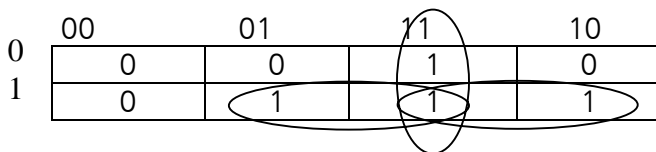
Fase 1^a. Tabla de verdad.

ENTRADAS			SALIDAS
A	B	C	S
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Fase 2^a. Obtención de las ecuaciones lógicas de salida a partir de la tabla de verdad:

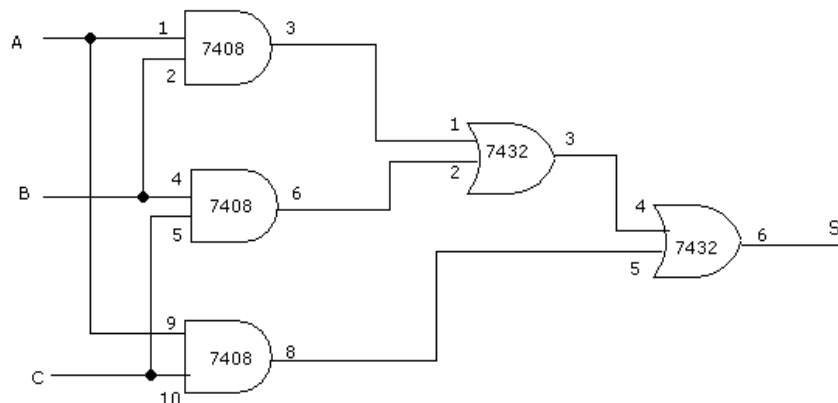
$$S = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C$$

Fase 3^a. Simplificación de las ecuaciones lógicas, por el método de Karnaugh:



$$S = A \cdot B + B \cdot C + A \cdot C$$

Fase 4^a. Implementación mediante puertas AND y OR de la ecuación obtenida en la fase 3^a.



Fase 5^a. Montar el circuito correspondiente al esquema de la fase 4^a en el entrenador lógico.

Fase 6^a. Verificar el correcto funcionamiento. Medir con el osciloscopio diagramas de tiempos.

PRACTICA Nº 3. DETECCIÓN Y SEÑALIZACIÓN DEL NIVEL DE LIQUIDO

TEMA: DISEÑO Y REPARACIÓN DE CIRCUITOS COMBINACIONALES SENCILLOS

TITULO DE LA PRÁCTICA: DETECCIÓN Y SEÑALIZACIÓN DEL NIVEL DE LIQUIDO

OBJETIVO DE LA PRACTICA: REPASO DE PUERTAS LÓGICAS AND, OR, NOT, NAND Y NOR

ENUNCIADO DEL PROBLEMA:

En el centro de control del embalse de Guadalcaçín necesitan instalar un panel de control que visualice y señalice tres niveles de llenado:

- **Nivel 1:** Detección al 50 % y con señalización óptica de color verde
- **Nivel 2:** Detección al 75 % y con señalización óptica de color naranja
- **Nivel 3:** Detección al 100 % y con señalización óptica de color rojo intermitente y salida de alarma.

El sistema debe señalar y acumular los niveles que se vayan activando, produciendo una alarma cuando los tres niveles se encuentren activados, ejecutándose seguidamente la apertura de las compuertas del embalse.

CIRCUITOS INTEGRADOS A UTILIZAR:

UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7408	Cuádruplo puerta AND. Dos entradas. LP
1	7432	Cuádruplo puerta OR. Dos entradas LP
1	7404	Seis puertas inversores NOT. LP

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7408	14	7
7432	14	7
7404	14	7

DESARROLLO DE LA PRÁCTICA:

Fase 1^a. Tabla de verdad.

SENSOR 1	SENSOR 2	SENSOR 3	NIVEL 1	NIVEL 2	NIVEL 3
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	1	0	0
1	0	1	0	0	0
1	1	0	1	1	0
1	1	1	1	1	1

Fase 2^a. Obtención de las ecuaciones lógicas de salida a partir de la tabla de verdad, por el método de Karnaugh.

Como se puede observar en la tabla hemos elegido en el **Nivel 1** (50 %) los siguientes estados y simplificado por Karnaugh:

	0 0	0 1	1 1	1 0
0	0	0	1	1
1	0	0	1	0

$$\text{Nivel 1} = \overline{S1} \cdot S3 + \overline{S1} \cdot S2; \text{ Sacando factor común de } S1 \text{ obtenemos: } S1 (S2 + S3)$$

Como se puede observar en la tabla hemos elegido en el **Nivel 2** (75 %) los siguientes estados y simplificado por el método de Karnaugh:

	0 0	0 1	1 1	1 0
0	0	0	1	0
1	0	0	1	0

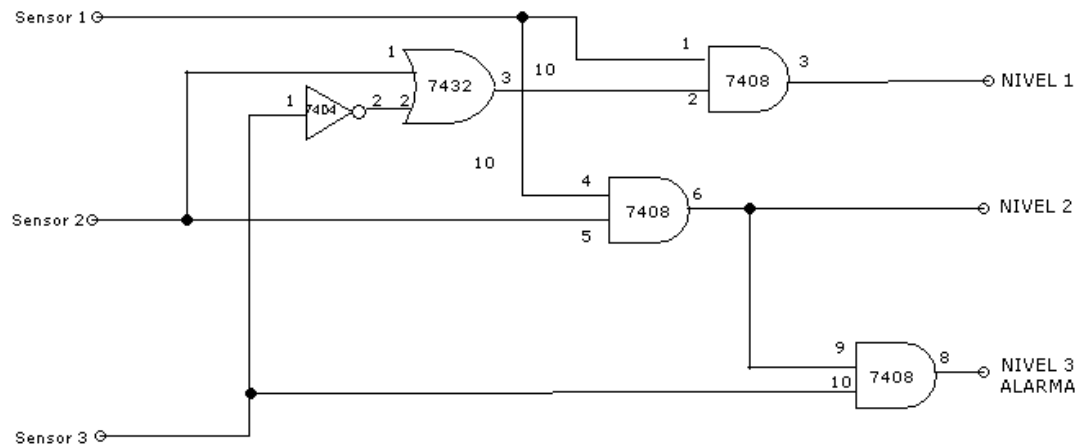
$$\text{Nivel 2} = S1 \cdot S2;$$

Como se puede observar en la tabla hemos elegido en el **Nivel 3** (100 %) los siguientes estados y simplificado por Karnaugh:

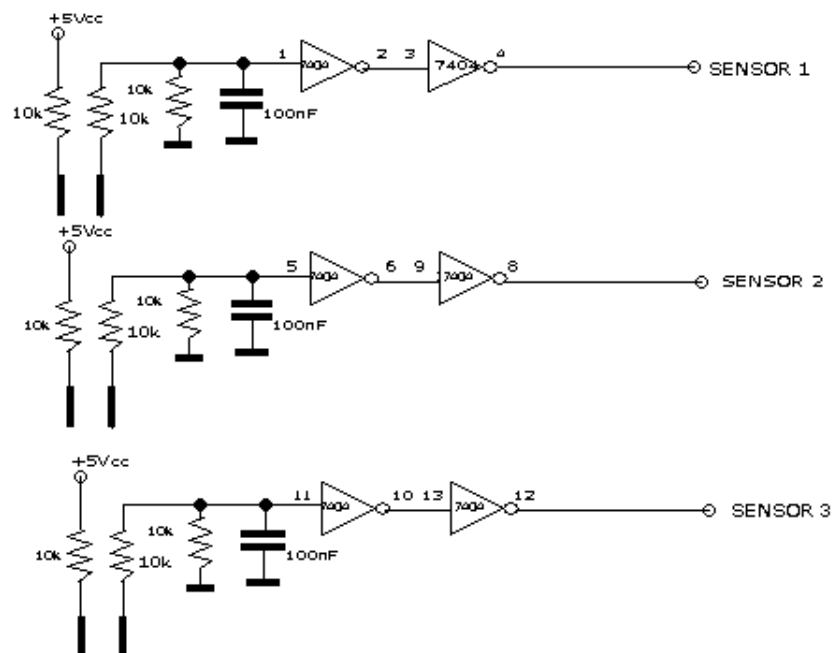
	0 0	0 1	1 1	1 0
0	0	0	0	0
1	0	0	1	0

$$\text{Nivel 3} = S1 \cdot S2 \cdot S3;$$

Fase 3^a. Implementación mediante puertas AND, OR y NOT de las ecuaciones obtenidas en la fase 2^a.



Fase 4^a. Montar el circuito correspondiente al esquema de la fase 3^a en el entrenador lógico. Se podrá simular las entradas de sensores con conmutadores para nivel uno y cero. Opcionalmente y a modo didáctico se puede utilizar el siguiente circuito para detectar la señal de fluido.



Fase 5^a. Verificar el correcto funcionamiento. Simular la salida con un LED de color verde para el nivel 1, un LED de color naranja para el nivel 2 y un LED intermitente de color rojo para el nivel 3.

PRACTICA Nº 4. CIRCUITO DE CONTROL DE INTERRUPCIONES

TEMA: DISEÑO Y REPARACIÓN DE CIRCUITOS COMBINACIONALES SENCILLOS

TITULO DE LA PRÁCTICA: CIRCUITO DE CONTROL DE INTERRUPCIONES

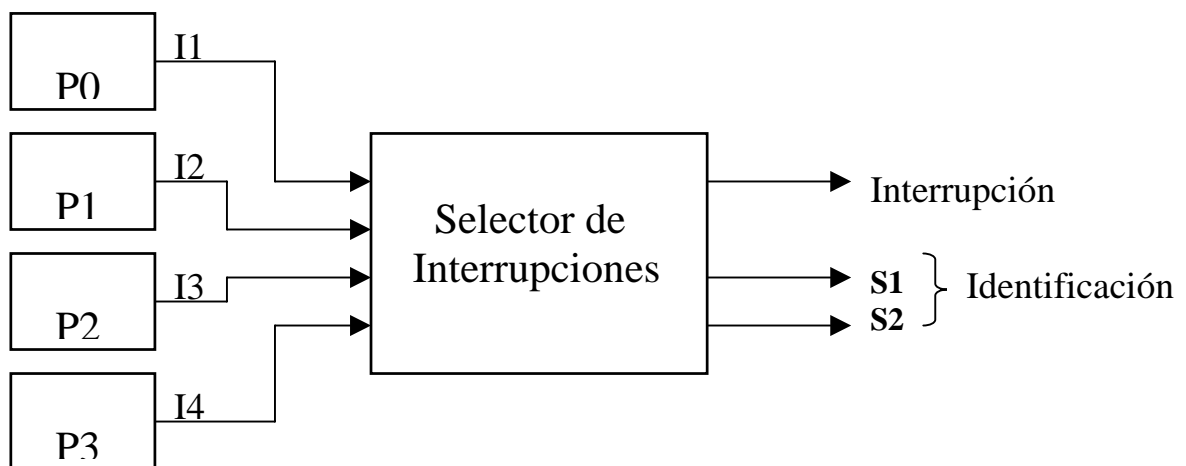
OBJETIVO DE LA PRACTICA: REPASO DE PUERTAS LÓGICAS AND, OR, NOT, NAND Y NOR

ENUNCIADO DEL PROBLEMA:

Un submarino nuclear tiene un sistema de control y seguridad que detecten las siguientes anomalías:

1. Temperatura del reactor excesiva
2. Nivel de radiación en cabina por encima del normal
3. Temperatura del refrigerante del reactor excesivo
4. Ritmo de consumo del refrigerante por encima de lo normal

Diseñar un sistema que genere una señal de interrupción y dos señales para indicar las anomalías expuestas anteriormente de forma codificada y teniendo en cuenta la prioridad determinada por el número asignado a la entrada. (La señal 1 tendrá más prioridad que la 2 y así sucesivamente)



CIRCUITOS INTEGRADOS A UTILIZAR:

UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7408	Cuádruplo puerta AND. Dos entradas. LP
2	7432	Cuádruplo puerta OR. Dos entradas LP
1	7404	Seis inversores. Lógica Positiva

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7408	14	7
7432	14	7
7404	14	7

DESARROLLO DE LA PRÁCTICA:

Fase 1^a. Tabla de verdad.

ENTRADAS				SALIDAS		
I1	I2	I3	I4	S1	S2	I
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	1
0	0	1	1	0	1	1
0	1	0	0	1	0	1
0	1	0	1	1	0	1
0	1	1	0	1	0	1
0	1	1	1	1	0	1
1	0	0	0	1	1	1
1	0	0	1	1	1	1
1	0	1	0	1	1	1
1	0	1	1	1	1	1
1	1	0	0	1	1	1
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	1	1	1

Fase 2^a. Obtención de las ecuaciones lógicas de salida a partir de la tabla de verdad.
Selección por Maxterm.

$$I = I1 \cdot I2 \cdot I3 \cdot I4 \rightarrow I = I1 + I2 + I3 + I4$$

$$S1 = I1 \cdot I2 \cdot I3 \cdot I4 + I1 \cdot I2 \cdot I3 \cdot \bar{I4} + I1 \cdot I2 \cdot \bar{I3} \cdot I4 + I1 \cdot \bar{I2} \cdot I3 \cdot I4$$

$$S2 = I1 \cdot I2 \cdot I3 \cdot I4 + I1 \cdot I2 \cdot I3 \cdot \bar{I4} + I1 \cdot I2 \cdot \bar{I3} \cdot I4 + I1 \cdot \bar{I2} \cdot I3 \cdot I4 + I1 \cdot \bar{I2} \cdot I3 \cdot \bar{I4} + I1 \cdot \bar{I2} \cdot \bar{I3} \cdot I4$$

Fase 3ª. Simplificación de las ecuaciones lógicas, por el método de Karnaugh:

	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

$$S1 = I1 \cdot I2 ; S1 = I1 \cdot I2 = I1 + I2 \rightarrow S1$$

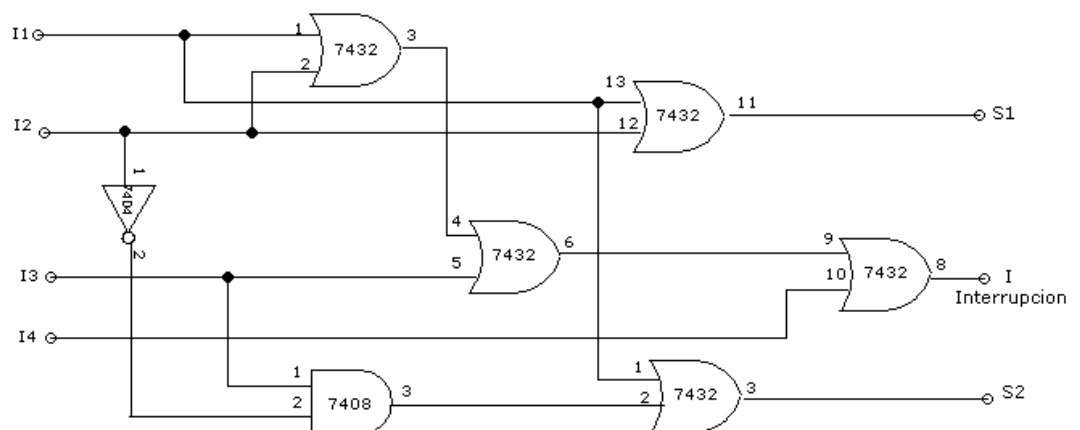
	00	01	11	10
00	0	0	1	1
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

$$S2 = I1 \cdot I3 + I1 \cdot I2$$

$$S2 = \overline{I1} \cdot \overline{I3} + \overline{I1} \cdot I2 = I1 + I3 \cdot \overline{I2} \rightarrow S2$$

$$I = I1 + I2 + I3 + I4 \rightarrow (\text{Interrupción})$$

Fase 4ª. Implementación mediante puertas AND, OR y NOT de las ecuaciones.



Fase 5ª. Montar el circuito correspondiente al esquema de la fase 4ª en el entrenador lógico.

Fase 6ª. Verificar el correcto funcionamiento.

PRACTICA Nº 5. OBTENCIÓN DE UN BIESTABLE GTD A PARTIR DE UN BIESTABLE J-K

TEMA: TRANSFORMACIÓN DE BIESTABLES

TITULO DE LA PRÁCTICA: OBTENCIÓN DE UN BIESTABLE GTD A PARTIR DE UN BIESTABLE J-K

OBJETIVO DE LA PRACTICA: REPASO DEL METODO DE TRANSFORMACIÓN DE BIESTABLES

ENUNCIADO DEL PROBLEMA:

Un laboratorio de instrumentación debe de permanecer con unas condiciones ambientales muy estables. Temperatura, grado de humedad y grado de polución son monitoreados de modo permanente con sensores que solo en caso de estar dentro de los límites permanecerán sin dar la alarma. Estos sensores darían alarma tanto por exceso como por defecto. Los sensores los simularemos con interruptores que en caso de alarma el interruptor (sensor) daría un nivel alto.

Se pide diseñar un circuito de control que accione un equipo acondicionador de aire.

Su tabla de funcionamiento será:

GRADO HUMEDAD	TEMPERATURA	POLUCIÓN	Q(T+1)
0	0	X	Q(t)
0	1	X	Q(t) negado
1	X	0	0
1	X	1	1

Nota: X significa indistintamente 0 ó 1.

La tabla de funcionamiento anterior nos obliga a realizar un biestable GTD a partir del J-K que disponemos. La tabla de verdad de un GTD es la siguiente:

G	T	D	Q(T+1)
0	0	X	Q(t)
0	1	X	Q(t) negado
1	X	0	0
1	X	1	1

Nota: X significa indistintamente 0 ó 1

CIRCUITOS INTEGRADOS A UTILIZAR:

Para el desarrollo de esta práctica dispondremos de los siguientes componentes:

UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7408	Cuádruplo puerta AND. Dos entradas. LP
1	7432	Cuádruplo puerta OR. Dos entradas LP
1	7404	Seis inversores. Lógica positiva
1	7476	Doble flip-flop J-K. (Maestro auxiliar)

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7408	14	7
7432	14	7
7404	14	7
7476	5	13

DESARROLLO DE LA PRÁCTICA:

Fase 1ª. Tabla de verdad del biestable j-k.

ENTRADAS			SALIDAS
J	K	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1
1	1	1	0

Fase 2ª. Contraste ó comparación entre la tabla del J-K y la del nuevo GTD del enunciado del problema. Para ello estudiaremos los distintos valores de las entradas J-K atendiendo a su propia tabla de verdad para todas las combinaciones de la tabla de verdad del GTD.

G	T	D	Q(T)	Q(T+1)	J	K
0	0	0	0	0	0	X
0	0	0	1	1	X	0
0	0	1	0	0	0	X
0	0	1	1	1	X	0
0	1	0	0	1	1	X
0	1	0	1	0	X	1
0	1	1	0	1	1	X
0	1	1	1	0	X	1
1	0	0	0	0	0	X
1	0	0	1	0	X	1
1	0	1	0	1	1	X
1	0	1	1	1	X	0
1	1	0	0	0	0	X
1	1	0	1	0	X	1
1	1	1	0	1	1	X
1	1	1	1	1	X	0

Nota: X significa indistintamente 0 ó 1

Fase 3ª. Simplificación de las salidas GTD Q(t), por el método de Karnaugh:

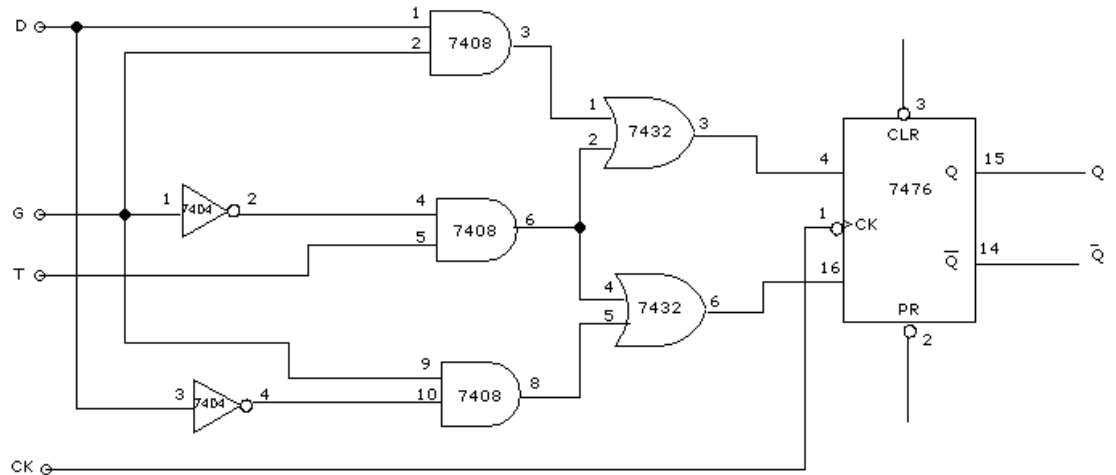
		D			
		00	01	11	10
00	Q(t)	0	0	X	X
01	Q(t)	0	1	X	X
11	Q(t)	0	1	X	X
10	Q(t)	1	1	X	X

$$J = \bar{G}.T + G.D$$

		D			
		00	01	11	10
00	Q(t)	X	X	0	0
01	Q(t)	X	X	0	1
11	Q(t)	X	X	0	1
10	Q(t)	X	X	1	1

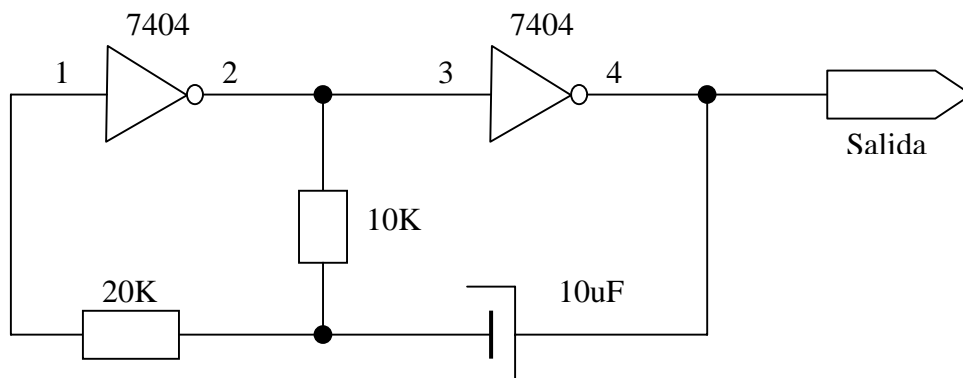
$$K = \bar{G}.T + G.\bar{D}$$

Fase 4ª. Implementación del biestable GTD mediante puertas AND, OR, NOT y biestable J-K.



Fase 5ª. Montar el circuito correspondiente al esquema de la fase 4ª en el entrenador lógico.

Fase 6ª. Verificar el correcto funcionamiento. Para ello insertar, mediante interruptores, los valores (ceros y unos) a las entradas GTD del esquema obtenido en la fase 4ª, comprobando que cumple la tabla de verdad del biestable GTD enunciado en la fase 1ª y 2ª. Introducir una señal de reloj a la entrada CK del biestable. Medir con el osciloscopio los diagramas de tiempos. Montar el siguiente circuito astable como generador de señal cuadrada para utilizarlo a la entrada de señal de reloj CK con una frecuencia aproximada de 2 Hz.



PRÁCTICA Nº 6. CONTROL DE NIVELES DE LÍQUIDOS

TEMA: ELEMENTOS COMBINACIONALES Y SECUENCIALES

TÍTULO DE LA PRÁCTICA: CONTROL DE NIVELES DE LIQUIDOS

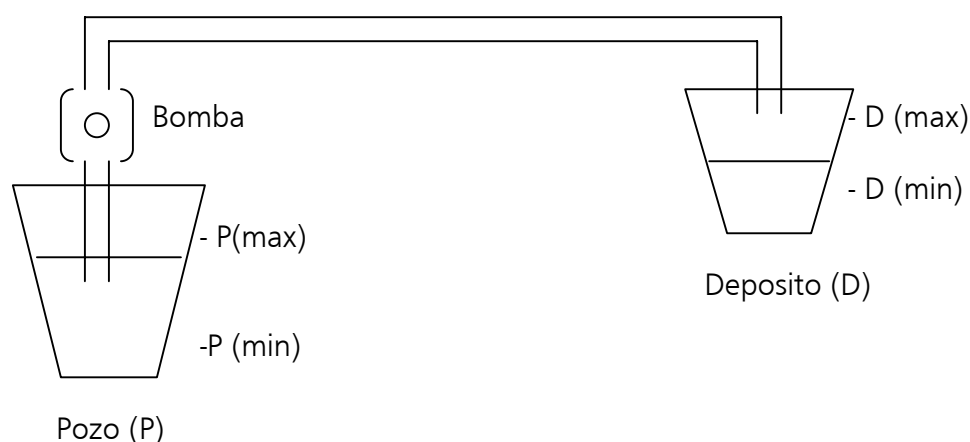
OBJETIVO DE LA PRÁCTICA: REPASO DE SENCILLOS ELEMENTOS DE MEMORIA (BIESTABLES)

ENUNCIADO DEL PROBLEMA:

Un pozo (P) debe de llenar un depósito (D) a través de una bomba (B), y se desea efectuar el llenado de manera totalmente automático. Para tal fin se sitúan dos sondas en el pozo (P) y otras dos en el depósito (D), de tal forma que las sondas del pozo indiquen una el nivel mínimo (Pmin) y la otra el nivel máximo (Pmáx), así como también las dos sondas del depósito indicarán una el nivel mínimo (Dmin) y la otra el nivel máximo (Dmax). Estas cuatro sondas nos proporcionarán un nivel lógico alto cuando no las cubra el agua y un nivel lógico bajo cuando si las cubra.

Simulando estas sondas mediante interruptores de nivel lógico, se desea diseñar un circuito que controle la puesta en marcha y paro del motor, de acuerdo con las siguientes condiciones:

- Siempre que la sonda D (máx) esté cubierta o la P (min) no lo esté, la bomba permanecerá parada.
- Siempre que la sonda (Dmin) no esté cubierta por el agua el motor estará en marcha salvo en el caso de que la sonda (Pmin) tampoco esté cubierta, en cuyo caso el motor ha de estar parado.
- Para las restantes condiciones (o casos lógicos) el motor permanecerá como estuviese inicialmente a dicha condición.
- En aquellos casos incoherentes, por avería de alguna de las sondas, el motor se parará y dará una señal de alarma de nivel alto.



Nota: Se utilizará como circuito secuencial básico el biestable R-S (NAND).

CIRCUITOS INTEGRADOS A UTILIZAR:

UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7408	Cuádruplo puerta AND. Dos entradas. LP
1	7432	Cuádruplo puerta OR. Dos entradas LP
1	7404	Seis inversores. Lógica Positiva
1	7410	Triple puerta NAND. Tres entradas. LP.
1	7430	Cuádruplo puerta OR. Dos entradas. LP.

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7404	14	7
7408	14	7
7410	14	7
7430	14	7
7432	14	7

DESARROLLO DE LA PRÁCTICA:

Fase 1^a. Tabla de verdad.

Tabla de verdad esquematizada de sensores pozo (P) y depósito (D)

POZO		DEPÓSITO		ESTADO BOMBA Q (t+1)	SALIDA ALARMA
P (máx)	P (mín)	D (máx)	D (mín)		
0	0	0	0	0	0
0	0	0	1	Incoherente 0	1
0	0	1	0	Q (t)	0
0	0	1	1	1	0
0	1	0	0	Incoherente 0	1
0	1	0	1	Incoherente 0	1
0	1	1	0	Incoherente 0	1
0	1	1	1	Incoherente 0	1
1	0	0	0	0	0
1	0	0	1	Incoherente 0	1
1	0	1	0	Q (t)	0
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	1	Incoherente 0	1
1	1	1	0	0	0
1	1	1	1	0	0

Tabla de verdad de la célula R-S (NAND)

ENTRADAS		SALIDAS	
R	S	Q (t)	Q (t+1)
0	0	0	ND (No determinado)
0	0	1	ND (No determinado)
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Desarrollo de la tabla de sensores del pozo (P) y del depósito (D)

POZO		DEPÓSITO		Q(T)	Q(T+1)	R-S (NAND)	
P (máx)	P (mín)	D (máx)	D (mín)				
0	0	0	0	0	0	X	1
0	0	0	0	1	0	0	1
0	0	0	1	0	0	X	1
0	0	0	1	1	0	0	1
0	0	1	0	0	0	X	1
0	0	1	0	1	1	1	X
0	0	1	1	0	1	1	0
0	0	1	1	1	1	1	X
0	1	0	0	0	0	X	1
0	1	0	0	1	0	0	1
0	1	0	1	0	0	X	1
0	1	0	1	1	0	0	1
0	1	1	0	0	0	X	1
0	1	1	0	1	0	0	1
0	1	1	1	0	0	X	1
0	1	1	1	1	0	0	1
1	0	0	0	0	0	X	1
1	0	0	0	1	0	0	1
1	0	0	1	0	0	X	1
1	0	0	1	1	0	0	1
1	0	1	0	0	0	X	1
1	0	1	0	1	1	1	X
1	0	1	1	0	1	1	0
1	0	1	1	1	1	1	X
1	1	0	0	0	0	X	1
1	1	0	0	1	0	0	1
1	1	0	1	0	0	X	1
1	1	0	1	1	0	0	1
1	1	1	0	0	0	X	1
1	1	1	0	1	0	0	1
1	1	1	1	0	0	X	1
1	1	1	1	1	0	0	1
1	1	1	1	0	0	X	1
1	1	1	1	1	0	0	1

Fase 2ª. Obtención de fórmulas mediante mapas de Karnaugh:

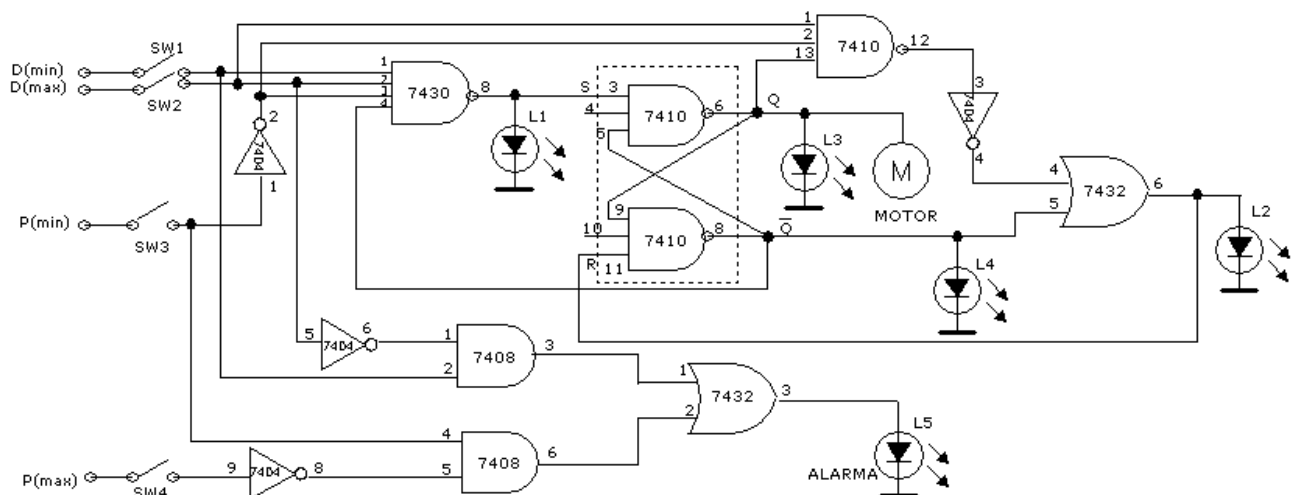
Q(t)				D(max)			
D(max)				D(min)			
0	1	1	0	X	1	X	X
0	1	1	0	X	1	X	X
0	0	0	0	X	X	X	X
0	0	0	0	X	X	X	X

$$R = D(\text{máx}) \cdot Q(t) \cdot P(\text{mín}) + Q(t)$$

Q(t)						D(max)	
D(max)						D(min)	
1	X	X	1	1	0	1	1
1	X	X	1	1	0	1	1
1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1

$$S = D(\text{máx}) \cdot D(\text{mín}) \cdot P(\text{mín}) \cdot Q(t)$$

Fase 3ª. Implementación mediante puertas AND, OR, NAND y NOT de las ecuaciones.



Fase 4ª. Montar el circuito correspondiente al esquema de la fase 3ª en el entrenador lógico.

Fase 5ª. Verificar el correcto funcionamiento.

PRACTICA Nº 7. CERRADURA DE ALTA SEGURIDAD

TEMA: AUTÓMATAS

TITULO DE LA PRÁCTICA: CERRADURA DE ALTA SEGURIDAD

OBJETIVO DE LA PRACTICA: REPASO DE LA TEORÍA DE DISEÑO DE AUTÓMATAS

ENUNCIADO DEL PROBLEMA:

Diseñar una cerradura de alta seguridad que cumpla las siguientes condiciones:

1. La cerradura responderá solamente a una clave numérica inalterable en su orden, y será: 1, 3, 7.
2. El operador que cometa un error al marcar la clave, precisará marcar el número anterior del errado en la clave.

Nota: Al no poseer el entrenador digital un teclado decimal, sustuiremos este por tres interruptores (SW1, SW2 y SW3) del entrenador. Los números de la clave decimal serán formados en binario.

CIRCUITOS INTEGRADOS A UTILIZAR:

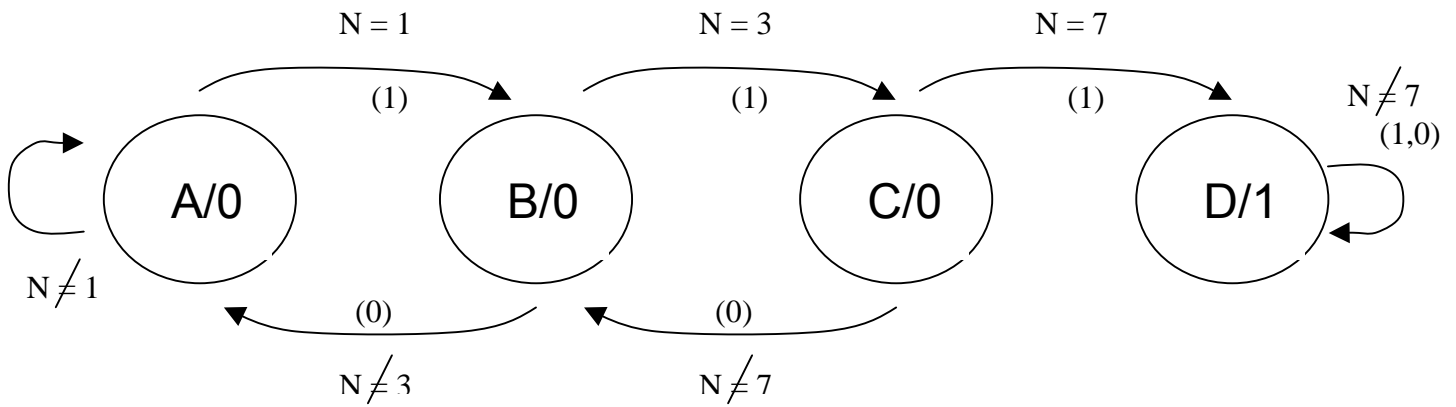
UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7408	Cuádruplo puerta AND. Dos entradas. LP
1	7432	Cuádruplo puerta OR. Dos entradas LP
1	7476	Doble flip-flop JK (Maestro auxiliar)
1	74151	Multiplexor de 8 entradas. Lógica +

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7408	14	7
7432	14	7
7476	5	13
74151	16	8

DESARROLLO DE LA PRÁCTICA:

Fase 1ª. Diagrama de estados:



Fase 2ª. Clasificación de estados y número de biestables. Existen 4 estados N que son: (A, B, C y D).

El número de biestables será:

$$2^{n-1} \leq N \leq 2^n$$

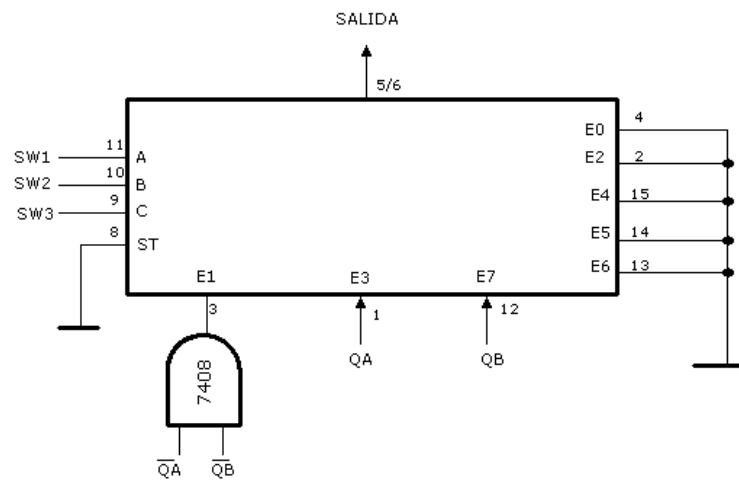
$$2^1 \leq 4 \leq 2^2$$

n = 2 Biestables

Fase 3ª. Circuito formador del código binario.

PESOS ASIGNADOS	2^0	2^1	2^2	
INTERRUPTORES	SW1	SW2	SW3	Clave decimal
	1	0	0	1
	1	1	0	3
	1	1	1	7

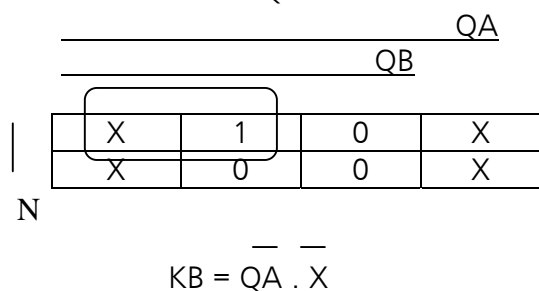
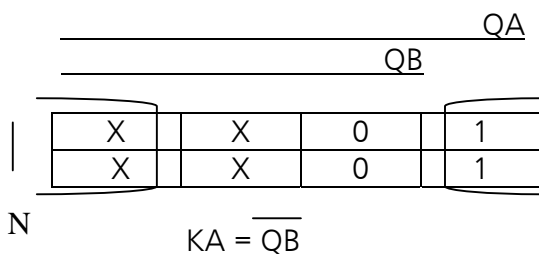
Para formar la clave usaremos el multiplexor **TTL 74151** de 8 bits.

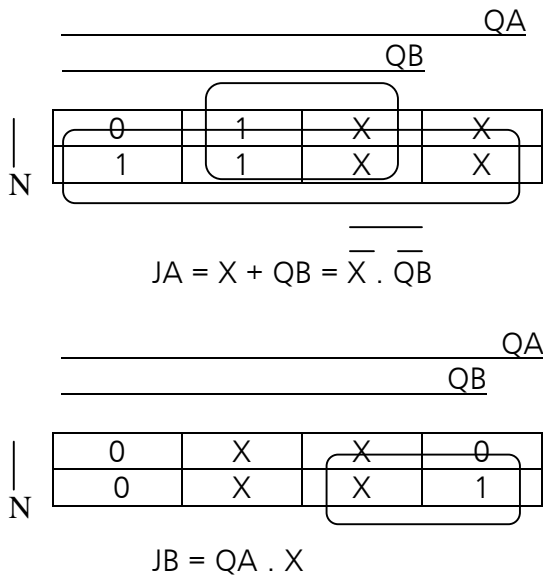


$$\text{SALIDA} = \text{SW1} \cdot \overline{\text{SW2}} \cdot \overline{\text{SW3}} \cdot \text{E1} + \text{SW1} \cdot \text{SW2} \cdot \overline{\text{SW3}} \cdot \text{E3} + \text{SW1} \cdot \text{SW2} \cdot \text{SW3} \cdot \text{E7}$$

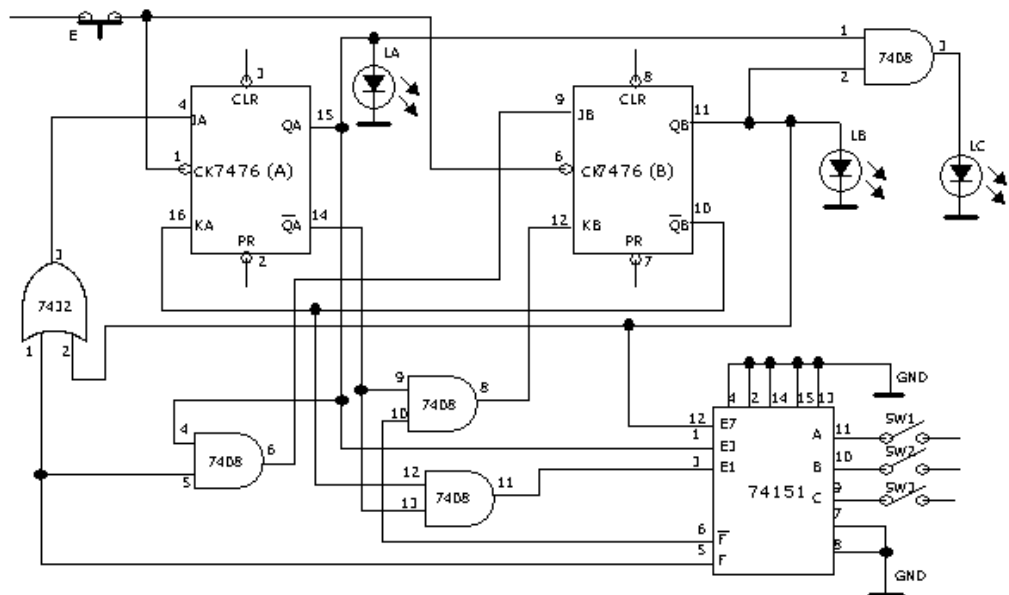
Fase 4^a. Tabla de Transiciones.

ENTRADA	ESTADO (T)		SALIDA	ESTADO (T+1)		VALORES DE ENTRADA BIESTABLES			
	QB	QA		QB	QA	JB	KB	JA	KA
0	0	0	0	0	0	0	X	0	X
1	0	0	0	0	1	0	X	1	X
0	0	1	0	0	0	0	X	X	1
1	0	1	0	1	0	1	X	X	1
0	1	0	0	0	1	X	1	1	X
1	1	0	1	1	1	X	0	1	X
0	1	1	1	1	1	X	0	X	0
1	1	1	1	1	1	X	0	X	0





Fase 5ª. Implementación del circuito de una cerradura de alta seguridad, utilizando puertas AND, OR, biestables J-K y un multiplexor de 8 vías.



Fase 6ª. Montar el circuito correspondiente al esquema de la fase 5ª en el entrenador lógico.

Fase 7ª. Verificar el correcto funcionamiento. Para ello se deberá seleccionar con los interruptores SW1 (A), SW2 (B) y SW3 (C) la clave 1,3,7. El primer dígito de la clave en decimal es el 1 que en binario será SW1 en alto y SW2, SW3 en bajo, luego pulsará el interruptor Enable (E).

De forma semejante actuará para cada uno de los restantes dígitos de la clave (3,7).

PRACTICA Nº 8. CONTADOR SÍNCRONO MODULO 6, CON BIESTABLES.

TEMA: MÓDULO CONTADORES

TITULO DE LA PRÁCTICA: CONTADOR SÍNCRONO MODULO 6, CON BIESTABLES

OBJETIVO DE LA PRACTICA: PROBLEMA A DESARROLLAR EN EL AULA A FIN DE SERVIR DE EJEMPLO DEL MÉTODO DE DISEÑO DE MÓDULOS SÍNCRONOS CON BIESTABLES J-K, D, T.

ENUNCIADO DEL PROBLEMA:

Diseñar un módulo contador síncrono 6 utilizando biestables tipo D.

CIRCUITOS INTEGRADOS A UTILIZAR:

UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7404	Seis inversores. Lógica positiva
1	7408	Cuádruplo puerta AND. Dos entradas. LP
1	7410	Triple puerta NAND. Tres entradas. LP
1	7432	Cuádruplo puerta OR. Dos entradas LP
1	7474	Cuádruple puerta OR. Dos entradas. LP

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7404	14	7
7408	14	7
7410	14	7
7474	14	7

DESARROLLO DE LA PRÁCTICA:

Fase 1ª. Determinar el número de biestables:

El número de biestables será:

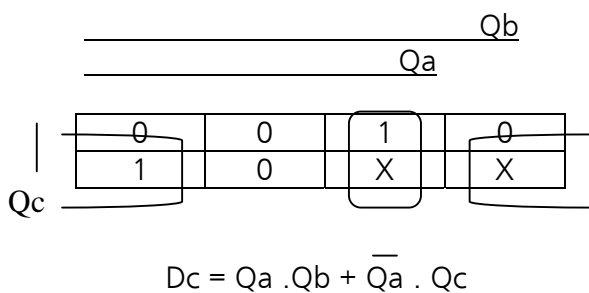
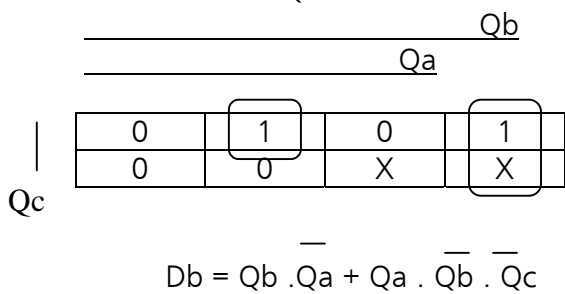
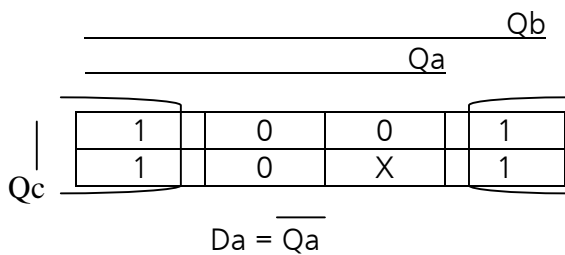
$$2^{n-1} \leq N \leq 2^n$$

$$2^2 \leq 6 \leq 2^3 \quad n = 3 \text{ biestables}$$

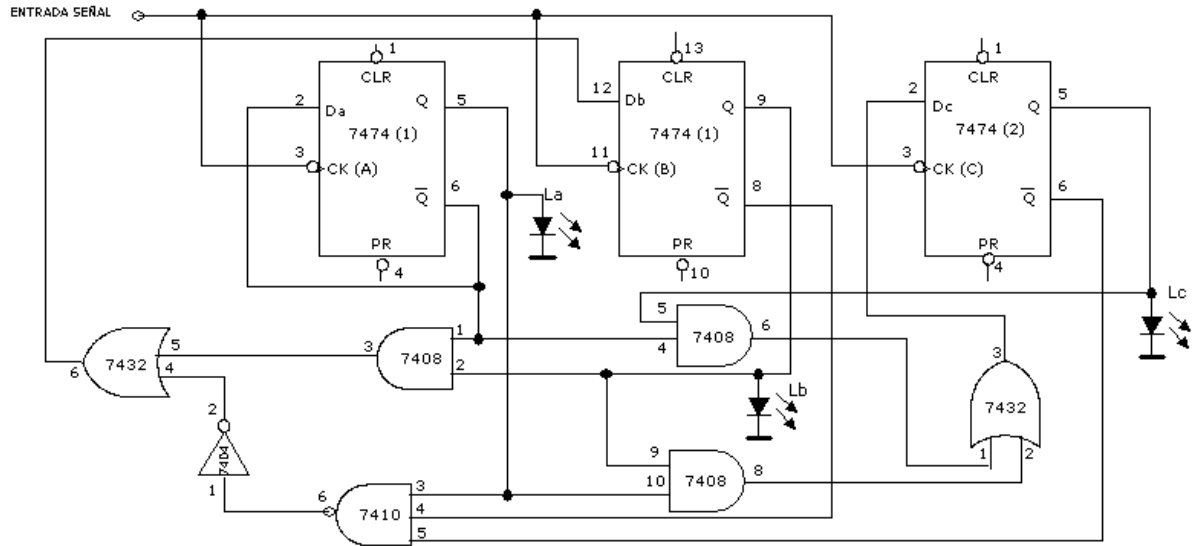
Fase 2ª. Tabla de verdad de las transiciones:

ESTADO T			ESTADO T+1			ENTRADAS		
Qc	Qb	Qa	Qc	Qb	Qa	Dc	Db	Da
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	0	0	0	0	0	0

Fase 3ª. Mapas de Karnaugh de las entradas



Fase 4^a. Implementación de las ecuaciones lógicas resultantes en la fase 3^a para el esquema de un módulo contador síncrono 6.



Fase 5^a. Verificar el correcto funcionamiento del circuito. Para ello, insertar señales (pulsos ó interruptor) a la entrada de señal y verificar que cuenta de cero a cinco en binario.

PRACTICA Nº 9. CONTROL DE ENVASADO.

TEMA: AUTOMATISMOS CON CONTADORES

TITULO DE LA PRÁCTICA: CONTROL DE ENVASADO

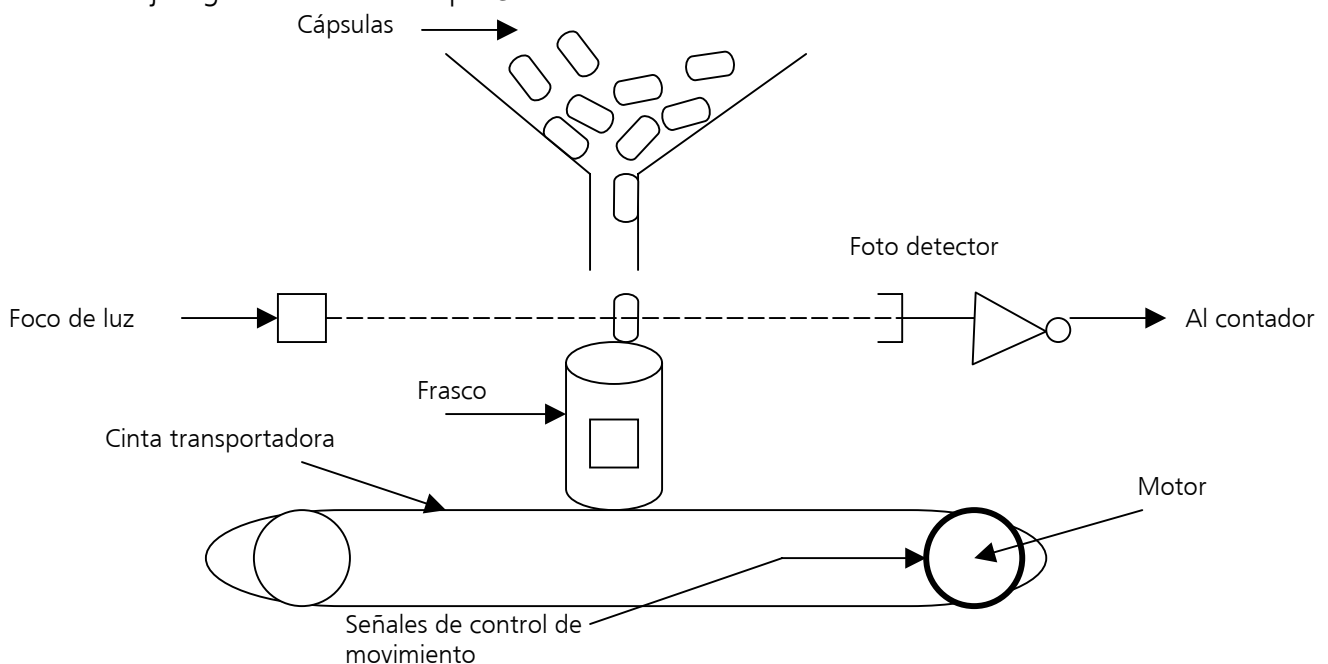
OBJETIVO DE LA PRACTICA: REPASO DE CIRCUITOS CONTADORES Y COMPARADORES

ENUNCIADO DEL PROBLEMA:

En una fabrica de productos farmacéuticos se desea controlar el llenado de frascos automáticamente, para ello se dispone un sistema que consta de:

- Un detector fotoeléctrico que detecta que cae una cápsula.
- Los pulsos del detector van a un contador de 4 bits (7493 con capacidad por tanto de contar hasta 15)
- Mediante cuatro interruptores vamos a decidir el número de cápsulas a introducir en cada frasco, número que será fijo para cada tipo de medicamento, pero variable para diferentes preparados.
- Iremos comparando el número seleccionado mediante los interruptores y el número que señale el contador, en un comparador de 4 bits (7485).
- Cuando los números sean iguales, hemos de poner a cero el contador para el llenado del frasco siguiente.
- Al mismo tiempo la señal de igualdad servirá para controlar el movimiento de la cinta transportadora.
- Mientras se esté llenando el frasco debe de estar encendido un LED de proceso correcto de llenado.
- Si el número de cápsulas contadas fuera superior al número establecido previamente mediante los interruptores, debe encenderse un LED de alarma.

El dibujo siguiente resume el proceso:



CIRCUITOS INTEGRADOS A UTILIZAR:

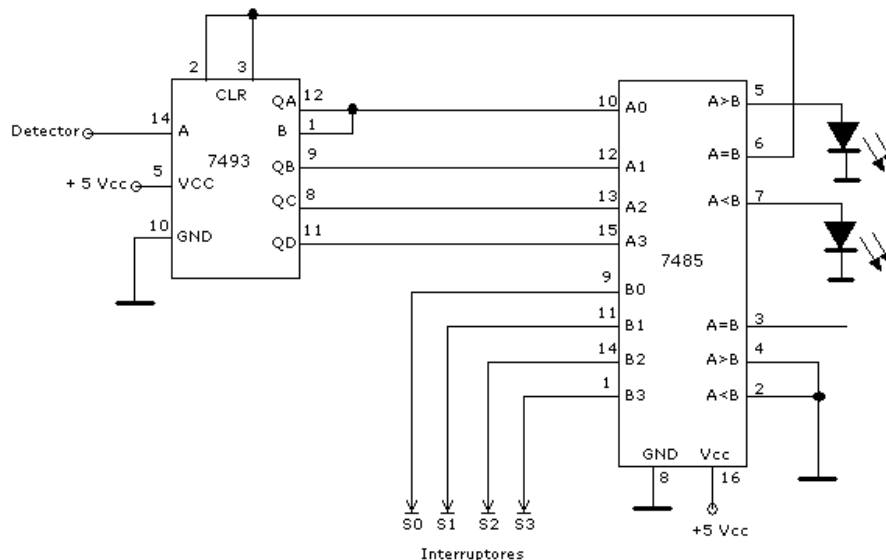
UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
1	7485	Comparador de 4 bits
1	7493	Contador. Divide 2 y por 8

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7485	16	8
7493	5	10

DESARROLLO DE LA PRÁCTICA:

Fase 1^a. Implementación del circuito de control descrito anteriormente, utilizando un contador de 4 bits que cuente los pulsos de reloj (7493) y un comparador de 4 bits (7485)



Fase 2^a. Montar el circuito correspondiente al esquema de la fase 1^a en el entrenador lógico.

Fase 3^a. Verificar el correcto funcionamiento. Simularemos los pulsos del fotodetector mediante una señal de reloj de periodo aproximado a 1 Hz. Medir con el osciloscopio el diagrama de tiempos.

PRACTICA Nº 10. SISTEMA DE CONTROL DE UNA CINTA TRANSPORTADORA.

TEMA: AUTOMATISMOS CON MEMORIAS

TITULO DE LA PRÁCTICA: SISTEMA DE CONTROL DE UNA CINTA TRANSPORTADORA

OBJETIVO DE LA PRACTICA: SER UTILIZADA COMO EJEMPLO PRÁCTICO EN DISEÑO DE AUTÓMATAS

ENUNCIADO DEL PROBLEMA:

Una cinta transportadora circula transportando piezas procedentes de una cadena de montaje. Una célula fotoeléctrica (simulada por un interruptor) detecta la presencia de una pieza en la cinta transportadora (bajo) de modo periódico (frecuencia de reloj).

Diseñar el automatismo que tras tres comprobaciones ó más seguidas de que no existe pieza en la cinta transportadora dé una salida de alarma.

Desarrollarlo por un autómata "Moore"

Nota: La presencia de una pieza en la cinta se simbolizará con un nivel bajo (0). La carencia de pieza por un nivel alto (1) del interruptor que representará a la célula fotoeléctrica.

CIRCUITOS INTEGRADOS A UTILIZAR:

UNIDADES	CIRCUITO INTEGRADO	FUNCIÓN LÓGICA
2	7476	Doble biestable J-K
1	6330	Memoria EPROM (32x8)

Los biestables 7476 han de ser utilizados como tipo T.

La memoria 6330 (32x8) se utilizará para la generación de las ecuaciones resultantes del proceso del disparo. Su conexionado, así como el programa a grabar, se realizará de acuerdo a las siguientes condiciones:

1º. Las variables que conformarán las ecuaciones de diseño serán T0 (entradas biestables A) y Q0 (salida biestables A). Los subíndices 0,1,... etc., indicarán las entradas y salidas de los biestables que se necesitan. Así mismo, los valores de entradas se designarán como variables X.

2º. Las variables X. Q0, Q1, ... etc., se asignarán a las entradas del bus de dirección A0, A1, A2, ... etc., respectivamente. Las restantes entradas no usadas las fijaremos permanentemente en alto.

3º. Las variables T0, T1 y Z se asignarán respectivamente a las siguientes salidas del bus de datos: D0, D1, D2. Las otras cinco restantes salidas del bus se fijarán permanentemente en alto.

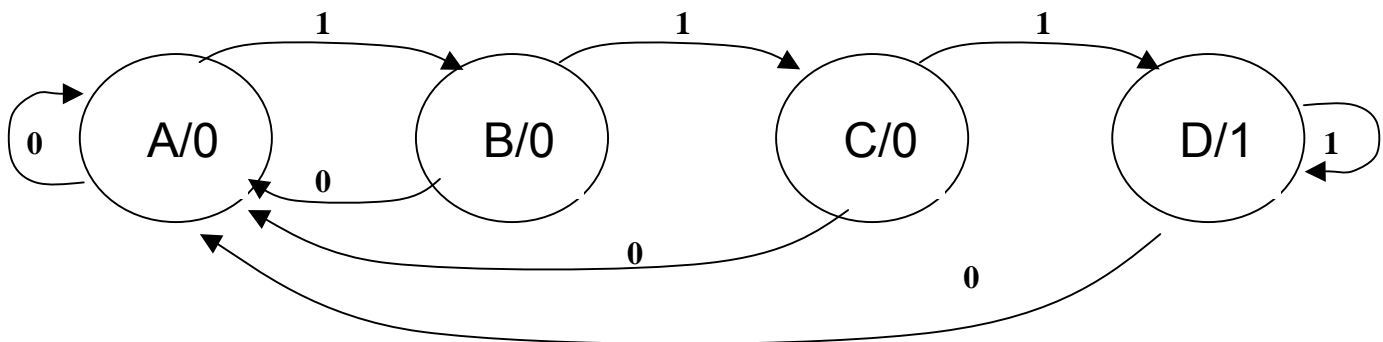
4º. Estas condiciones son única y exclusivamente a fin de conseguir un único diseño. Se deberá indicar el programa a grabar en sus 8 posiciones de memoria (24 a 31).

ALIMENTACIÓN CIRCUITOS INTEGRADOS:

ALIMENTACIÓN + - 5 VCC		
Tipo	Pin + Vcc	Pin - GND
7476	5	13
6330	16	8

DESARROLLO DE LA PRÁCTICA:

Fase 1ª. Diagrama de estado: " Moore".



Fase 2ª. Clasificación de estados y números de biestables. Existen por tanto 4 estados que son: A, B, C y D. El número de biestables será:

$$2^{n-1} \leq N \leq 2^n$$

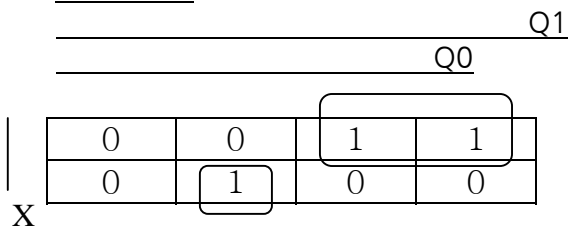
$$2^1 \leq 4 \leq 2^2 \quad n = 2 \text{ biestables}$$

Fase 3ª. Tabla de transiciones.

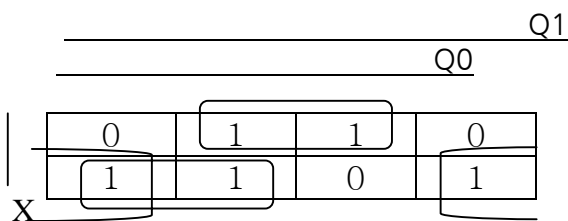
ENTRADA X	ESTADO EN (T)		SALIDA Z	ESTADO EN (T+1)		VALOR ENTRADA BIESTABLES	
	Q1	Q0		Q1	Q0	T1	T0
0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	1
0	0	1	0	0	0	0	1
1	0	1	0	1	0	1	1
0	1	0	0	0	0	1	0
1	1	0	1	1	1	0	1
0	1	1	0	0	0	1	1
1	1	1	1	1	1	0	0

Fase 4ª. Obtención de las ecuaciones. Mapas de Karnaugh.

Biestables:



$$T1 = Q1 \cdot \bar{X} + X \cdot Q0 \cdot \bar{Q1}$$



$$T0 = Q0 \cdot \bar{X} + \bar{Q1} \cdot X + \bar{Q0} \cdot X$$

SALIDA Z

$$Z = Q1 \cdot Q0$$

Fase 5ª. Grabación de la memoria EPROM.

Las ecuaciones obtenidas en la fase anterior son:

$$T1 = Q1 \cdot \bar{X} + Q0 \cdot Q1 \cdot X$$

$$T0 = Q0 \cdot \bar{X} + \bar{Q1} \cdot X + \bar{Q0} \cdot X$$

$$Z = Q1 \cdot Q0$$

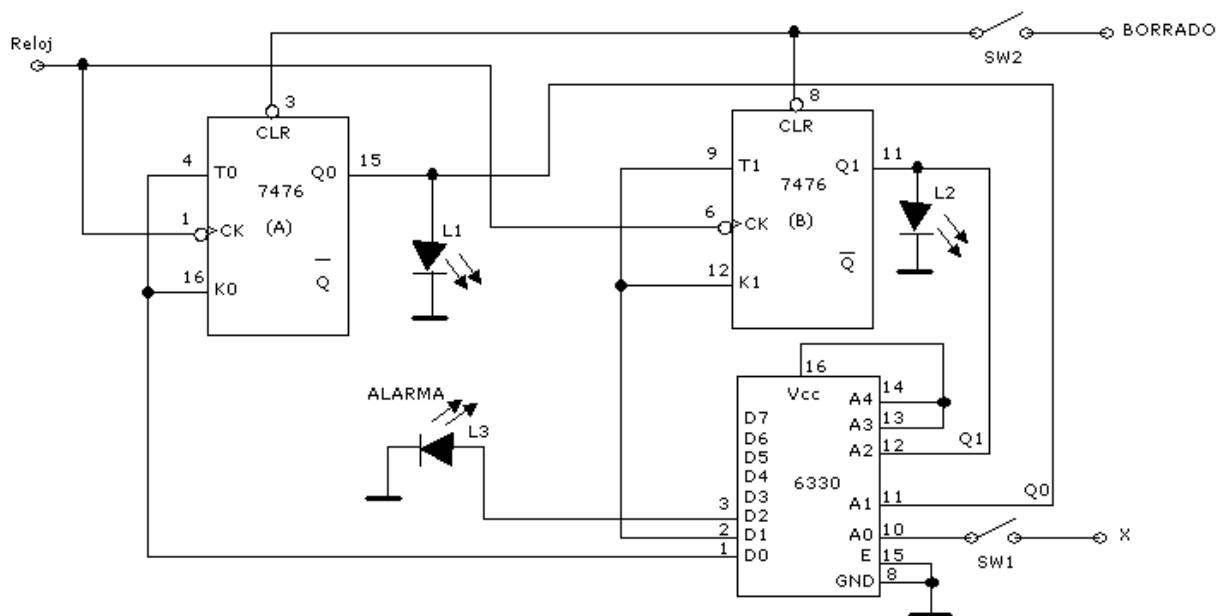
Según estas ecuaciones, para una determinada combinación de valores X1, Q0 y Q1 corresponderán un único valor para T0, T1 y Z.

TABLA DE VERDAD

Bus direcciones					Bus de datos								Valor Hexadecimal
A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	
--	--	Q1	Q0	X	--	--	--	--	--	Z	T1	T0	
1	1	0	0	0	1	1	1	1	1	0	0	0	F8
1	1	0	0	1	1	1	1	1	1	0	0	1	F9
1	1	0	1	0	1	1	1	1	1	0	0	1	F9
1	1	0	1	1	1	1	1	1	1	0	1	1	FB
1	1	1	0	0	1	1	1	1	1	0	1	0	FA
1	1	1	0	1	1	1	1	1	1	1	0	1	F9
1	1	1	1	0	1	1	1	1	1	0	1	1	FF
1	1	1	1	1	1	1	1	1	1	1	0	0	FC

Con la obtención del programa a grabar dado en hexadecimal, así como la posición de memoria correspondiente, finaliza el proceso de diseño. Sólo resta montar asignando los pines de entrada y salida de la memoria 6330 conforme se indica en el enunciado.

Fase 6ª. Implementación del circuito de control de una cinta transportadora utilizando flip-flops y memoria. La célula fotoeléctrica ha de ser simulada por un interruptor del entrenador lógico, que en nuestro caso será el SW1, correspondiente a la entrada X.



Nota: Inicializar el problema pasando el interruptor SW2 a cero (borrado) y pasarlo posteriormente a uno.

ANEXOS

TABLA DE CIRCUITOS INTEGRADOS TTL MAS USUALES:

7400	CUADRUPLE PUERTAS NAND DE 2 ENTRADAS
7402	CUADRUPLE PUERTAS NOR DE 2 ENTRADAS
7404	SÉXTUPLE BUFFER INVERSORES
7406	SEXTUPLE BUFFER INVERSORES. COLECTOR ABIERTO
7407	SÉXTUPLE INVERSORES. COLECTOR ABIERTO
7408	CUADRUPLE PUERTAS AND DE 2 ENTRADAS
7410	TREIPLE PUERTAS NAND DE 3 ENTRADAS
7411	TRIPLE PUERTA AND DE 3 ENTRADAS
7414	SÉXTUPLE TRIGGER-SCHMITT INVERSORES
7420	DOBLE PUERTA NAND DE 4 ENTRADAS
7425	PUERTA NOR DUAL DE 4 ENTRADAS CON STROBE.
7427	TRIPLE PUERTA NOR DE 3 ENTRADAS
7430	PUERTA NAND DE 8 ENTRADAS
7432	CUADRUPLE PUERTA OR DE 2 ENTRADAS
7437	CUADRUPLE PUERTA CON BUFFER NAND DE 2 ENTRADAS
7440	DOBLE PUERTA CON BUFFER NAND DE 4 ENTRADAS
7442	DECODIFICADOR BCD A DECIMAL
7443	DECODIFICADOR EXCESO 3 A DECIMAL
7444	DECODIFICADOR EXCESO 3 A GRAY
7450	PUERTAS AND-OR-INVERT DE 2X2 ENTRADAS DUALES.
7451	PUERTAS AND-OR-INVERT DE 2X2 ENTRADAS DUALES.
7453	PUERTA AND-OR-INVERT DE 4X2 ENTRADAS
7454	PUERTA AND-OR-INVERT DE 4X2 ENTRADAS
7460	AMPLIACIÓN DUAL DE 4 ENTRADAS
7470	FLIP-FLOP J-K
7473	FLIP-FLOP J-K MAESTRO AUXILIAR DUAL
7474	FLIP-FLOP TIPO D DUAL
7475	LATCH BIESTABLE DE 4 BITS
7476	FLIP-FLOP MAESTRO AUXILIAR DUAL J-K
7480	SUMADOR COMPLETO DE UN BIT
7481	RAM 16X1 (16 BITS, ESTATICAS)
7482	SUMADOR COMPLETO DE 2 BITS
7483	SUMADOR COMPLETO DE 4 BITS
74283	SUMADOR COMPLETO DE 4 BITS
7485	COMPARADOR DE MAGNITUD DE 4 BITS
7486	CUADRUPLE PUERTAS OR-EXCLUSIVA DE 2 ENTRADAS
7489	RAM DE 64 BITS (16 X 4)
7491	REGISTRO DESPLAZAMIENTO. ENTRADA SERIE / SALIDA SERIE. 8 BITS
7492	CONTADOR DIVISOR POR 12
7493	CONTADOR BINARIO DE 4 BITS
7494	REGISTRO DESPLAZAMIENTO. ENTRADA PARALELO / SALIDA SERIE. 4 BIT
7495	REGISTRO DESPLAZAMIENTO. ENTRADA PARALELO / SALIDA PARALELO. 4 B

7496	REGISTRO DESPLAZAMIENTO. ENTR. PARALELO / SAL. PARALELO. 5 BITS
74100	LATCH BIESTABLE DE 4 BIT DUAL
74104	FLIP-FLOP J-K MAESTRO-AUXILIAR
74121	MONOESTABLE CON ENTRADA TRIGGER-SCHMITT
74123	MONOESTABLE REDISPABLES DUAL CON BORRADO
74150	SELECTOR DE DATOS / MULTIPLEXORES 16 VIAS A 1 VIA
74151	SELECTOR DE DATOS / MULTIPLEXORES 8 VIAS A 1 VIA
74251	SELECTOR DE DATOS / MULTIPLEXORES DE 8 VIAS A 1 VIA
74153	SELECTOR DE DATOS DE 4 BITS DUALES
74154	DECODIFICADOR DE 4 A 16 VIAS
74155	DECODIFICADOR DUAL DE 2 A 4 VIAS
74156	DECODIFICADOR BCD A DECIMAL. COLECTOR ABIERTO.
74157	SELECTOR DE DATOS DE 2 BITS CUÁDRUPLES.
74161	CONTADOR BINARIO SINCRONO DE 4 BITS CON BORRADO ASÍNCRONO
74162	CONTADOR SINCRONO DE 4 BITS CON BORRADO SÍNCRONO DECIMAL
74164	REGISTRO DESPLAZAMIENTO . ENTRADA SERIE / SALIDA PARALELO. 8 BIT
74166	REGISTRO DESPLAZAMIENTO. ENTRADA PARALELO / SALIDA SERIE. 8 BIT
74167	MULTIPLICADOR DE DÉCADAS
74178	REGISTRO DESPLAZAMIENTO. ENTRADA PARALELO / SALIDA PARALELO.4B
74180	GENERADOR / COMPROBADOR DE PARIDAD PAR / IMPAR DE 8 BITS
74181	ALU DE 4 BITS /GENERADOR DE FUNCIÓN
74182	SUMADOR GENERADOR DE ACARREO ADELANTADO
74192	CONTADOR DECIMAL BIDIRECCIONAL DE 4 BITS, SINCRONO PROGRAMAB.
74193	CONTADOR BINARIO DE 4 BITS BIDERRECCIONAL, SINCRONO PROGRAMAB
74279	BIESTABLE R-S CON ACTIVACION A NIVEL BAJO
74284	MULTIPLICADOR BINARIO PARALELO DE 4 X 4 BITS.
74285	MULTIPLICADOR BINARIO PARALELO.
74298	SELECTOR DE DATOS DE 2 BITS CUADRUPLE CON ALMACENAMIENTO
6522	VIA
6532	ROM I/O TIMER
2716	EPROM
2732	EPROM
6330	EPROM (32x8)
2016	RAM
6116	RAM
6520	PIA
6502	MICROPROCESADOR
555	OSCILADOR-MULTIVIBRADO ASTABLE Y MONOESTABLE
741	AMPLIFICADOR OPERACIONAL

DATA BOOK TTL 7474 FLIP-FLOP TIPO D DUAL

54/7474
54H/74H74
54S/74S74
54LS/74LS74

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

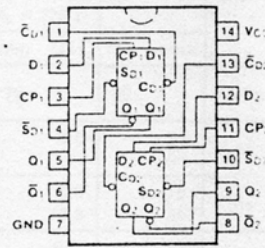
DESCRIPTION — The '74 devices are dual D-type flip-flops with Direct Clear and Set inputs and complementary (Q, \bar{Q}) outputs. Information at the input is transferred to the outputs on the positive edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive going pulse. After the Clock Pulse input threshold voltage has been passed, the Data input is locked out and information present will not be transferred to the outputs until the next rising edge of the Clock Pulse input.

TRUTH TABLE
(Each Half)

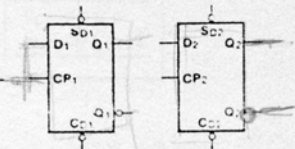
INPUT	OUTPUTS	
@ t_n	@ $t_n + 1$	
D	Q	\bar{Q}
L	L	H
H	H	L

Asynchronous Inputs:
LOW input to \bar{S}_D sets Q to HIGH level
LOW input to \bar{C}_D sets Q to LOW level
Clear and Set are independent of clock
Simultaneous LOW on \bar{C}_D and \bar{S}_D makes both Q and \bar{Q} HIGH

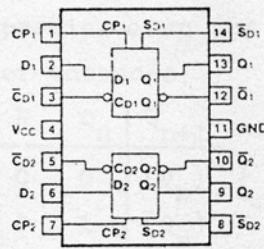
H = HIGH Voltage Level
L = LOW Voltage Level
 t_n = Bit time before clock pulse
 $t_n + 1$ = Bit time after clock pulse.



LOGIC SYMBOL



PINOUT B

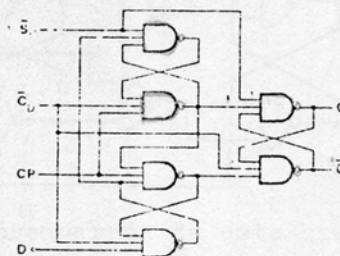


VCC = Pin 14 (4)
GND = Pin 7 (11)

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.)	54/74H (U.L.)	54/74S (U.L.)	54/74LS (U.L.)
		HIGH/LOW	HIGH/LOW	HIGH/LOW	HIGH/LOW
D ₁ , D ₂	Data inputs	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
CP ₁ , CP ₂	Clock Pulse Inputs (Active Rising Edge)	2.0/2.0	2.5/2.5	2.5/2.5	1.0/0.5
\bar{C}_D1 , \bar{C}_D2	Direct Clear Inputs (Active LOW)	3.0/2.0	3.75/2.5	3.75/3.75	1.5/0.75
\bar{S}_D1 , \bar{S}_D2	Direct Set Inputs (Active LOW)	2.0/1.0	2.5/1.25	2.5/2.5	1.0/0.5
Q ₁ , \bar{Q}_1 , Q ₂ , \bar{Q}_2	Outputs	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)

LOGIC DIAGRAM (one half shown)



DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74		54/74H		54/74S		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max	Min	Max	Min	Max		
I _{CC}	Power Supply Current	XM	30	42	50	8.0	mA	V _{CC} = Max, V _{CP} = 0 V			
		XC	30	50	50	8.0					

DATA BOOK TTL 7476. FLIP-FLOP MAESTRO AUXILIAR DUAL J-K

54/7476
54H/74H76
54LS/74LS76

DUAL JK FLIP-FLOP

(With Separate Sets, Clears and Clocks)

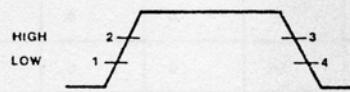
DESCRIPTION — The '76 and 'H76 are dual JK master/slave flip-flops with separate Direct Set, Direct Clear and Clock Pulse inputs for each flip-flop. Inputs to the master section are controlled by the clock pulse. The clock pulse also regulates the state of the coupling transistors which connect the master and slave sections. The sequence of operation is as follows: 1) isolate slave from master; 2) enter information from J and K inputs to master; 3) disable J and K inputs; 4) transfer information from master to slave.

TRUTH TABLE

INPUTS		OUTPUT
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

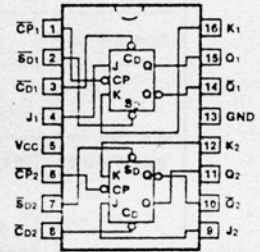
H = HIGH Voltage Level
L = LOW Voltage Level
 t_n = Bit time before clock pulse.
 t_{n+1} = Bit time after clock pulse.

CLOCK WAVEFORM



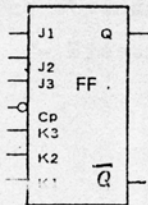
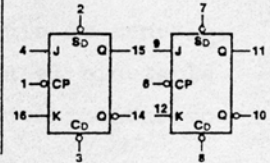
Asynchronous Inputs:
LOW input to \bar{S}_D sets Q to HIGH level
LOW input to \bar{C}_D sets Q to LOW level
Clear and Set are independent of clock
Simultaneous LOW on \bar{C}_D and \bar{S}_D makes both Q and \bar{Q} HIGH

The 'LS76 is a dual JK, negative edge-triggered flip-flop also offering individual Direct Set, Direct Clear and Clock Pulse inputs. When the Clock Pulse input is HIGH, the JK inputs are enabled and data is accepted. This data will be transferred to the outputs according to the Truth Table on the HIGH-to-LOW clock transitions.



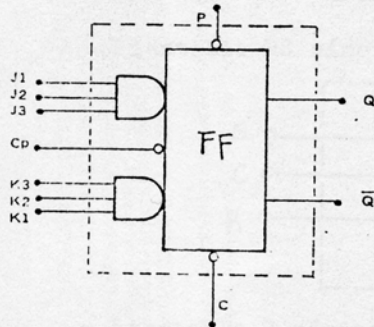
LOGIC SYMBOL

VCC = Pin 5
GND = Pin 13



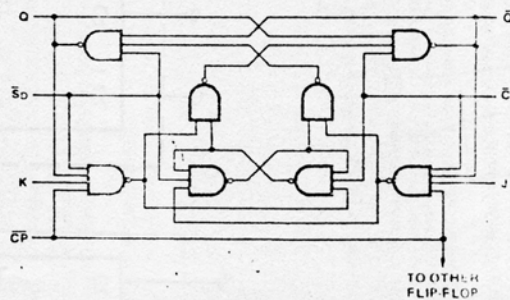
INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74H (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
J1, J2, K1, K2	Data Inputs	1.0/1.0	1.25/1.25	0.5/0.25
CP1, CP2	Clock Pulse Inputs (Active Falling Edge)	2.0/2.0	2.5/2.5	2.0/0.5
C01, C02	Direct Clear Inputs (Active LOW)	2.0/2.0	2.5/2.5	1.5/0.5
S01, S02	Direct Set Inputs (Active LOW)	2.0/2.0	2.5/2.5	1.5/0.5
Q1, Q2, Q-bar1, Q-bar2	Outputs	20/10	12.5/12.5	10/5.0 (2.5)



En la practica esta estructura se representa como en el dibujo superior

LOGIC DIAGRAMS (one half shown)
'76, 'H76



DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74			UNITS	CONDITIONS
		Min	Max	Max		
		Min	Max	Max		

DATA BOOK TTL 7485 COMPARADOR DE MAGNITUD DE 4 BITS.

54/7485
54LS/74LS85
4-BIT MAGNITUDE COMPARATOR

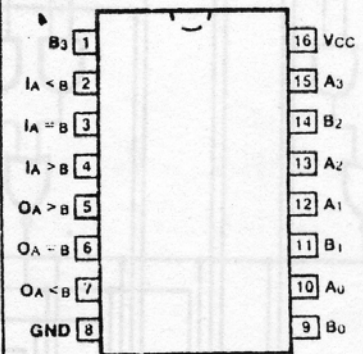
DESCRIPTION — The '85 is a high speed, expandable 4-bit magnitude comparator which compares two 4-bit words in any monotonic code (binary, BCD or other) and generates three outputs: A less than B, A greater than B, and A equal to B. Three expansion inputs allow serial (ripple) expansion over any word length without external gates.

- EASILY EXPANDABLE
- BINARY OR BCD COMPARISON
- A > B, A < B, A = B OUTPUTS AVAILABLE

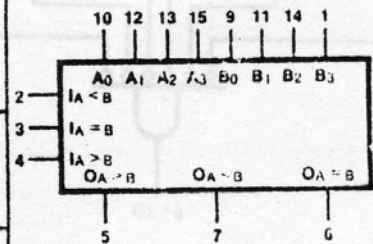
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7485PC, 74LS85PC		9B
Ceramic DIP (D)	A	7485DC, 74LS85DC	5485DM, 54LS85DM	6B
Flatpak (F)	A	7485FC, 74LS85FC	5485FM, 54LS85FM	4L

CONNECTION DIAGRAM
PINOUT A



LOGIC SYMBOL



V_{CC} = Pin 16
GND = Pin 8

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
A ₀ — A ₃	Word A Inputs	3.0/3.0	1.5/0.75
B ₀ — B ₃	Word B Inputs	3.0/3.0	1.5/0.75
I _A = B	A = B Expansion Input	3.0/3.0	1.5/0.75
I _A < B, I _A > B	A < B, A > B Expansion Inputs	1.0/1.0	0.5/0.25
O _A > B	A Greater Than B Output	10/10	10/5.0 (2.5)
O _A < B	A Less Than B Output	10/10	10/5.0 (2.5)
O _A = B	A Equal B Output	10/10	10/5.0 (2.5)

DATA BOOK TTL 7493 CONTADOR DIVISOR POR 8 Y 16 BINARIO DE 4 BITS

Contador-Divisor por 8 y por 16
54/7493A
54LS/74LS93
DIVIDE-BY-SIXTEEN COUNTER

DESCRIPTION — The '93 is a 4-stage ripple counter containing a high speed flip-flop acting as a divide-by-two and three flip-flops connected as a divide-by-eight. HIGH signals on the Master Reset (MR) inputs override the clocks and force all outputs to the LOW state.

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7493APC, 74LS93PC		9A
Ceramic DIP (D)	A	7493ADC, 74LS93DC	5493ADM, 54LS93DM	8A
Flatpak (F)	A	7493AFC, 74LS93FC	5493AFM, 54LS93FM	3I

CONNECTION DIAGRAM PINOUT A

LOGIC SYMBOL

V_{CC} = Pin 5
GND = Pin 10
NC = Pins 4, 6, 7, 13

DATA BOOK TTL 74151 SELECTOR DE DATOS / MULTIPLEXOR 8 VIAS A 1 VIA.

Multiplexor con 8 entradas

1 - SN 74151 AN 4 - MC 74151 P 7 - ZN 74151 E 10 - 13 - TL 74151 N	2 - F 74151 PC 5 - DM 74151 N 8 - N 74151 B 11 - FLY 121 14 - SF.C 4151 E	3 - F 93151 PC 6 - 9 - 12 - MIC 74151 N 15 - SW 74151 N
--	---	---

diagramas lógicos

diagramas conectados

LOGICA POSITIVA

$$Y = \bar{S}(A\bar{B}\bar{C}D_0 + A\bar{B}C\bar{D}_1 + A\bar{B}CD_2 + A\bar{B}\bar{C}D_3 + A\bar{B}CD_4 + A\bar{B}C\bar{D}_5 + A\bar{B}CD_6 + ABCD_7)$$

$$W = \bar{Y}$$

DESCRIPCION. El dispositivo es un multiplexor de 8 entradas con strobe BAJO activo, decodificación de selección interna y salidas complementarias. En el multiplexor los datos son encaminados de una entrada particular a la salida de acuerdo con el código binario aplicado a las entradas de selección (select inputs). La disipación típica de potencia es - 145 mW.

símbolos lógicos

PATILLAS		CARGA
D0 a D15	Entradas de datos	1 U. L.
\bar{S}	Entrada (Enable) de Strobe	1 U. L.
A, B, C, D	Entradas de selección de datos	1 U. L.
W	Salida de datos	10 U. L.
Y	Salida de datos	10 U. L.

Nota: 1 U. L. = 40 μ A ALTO/1,6 mA BAJO.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temperatura de funcionamiento	0	25	70	$^{\circ}$ C
Cargabilidad normalizada de cada salida, N	Nivel BAJO		10	U. L.
	Nivel ALTO		20	U. L.

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (a menos que se indique otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión ALTA de entrada	2.0			Volts	Tensión de umbral ALTA de entrada garantizada
V_{IL}	Tensión BAJA de entrada			0.8	Volts	Tensión de umbral BAJO de entrada garantizada
V_{OH}	Tensión ALTA de salida	2.4			Volts	$V_{CC} = \text{MIN.}, I_{OH} = -800 \mu\text{A}, V_{IH} = 2.0 \text{ V}, V_{IL} = 0.8 \text{ V}$
V_{OL}	Tensión BAJA de salida			0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IH} = 2.0 \text{ V}, V_{IL} = 0.8 \text{ V}$
I_{IH}	Corriente ALTA de entrada			40	μ A	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$
I_{IL}	Corriente BAJA de entrada			1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$
I_{OS}	Corriente de salida en cortocircuito (3)	- 18		- 55	mA	$V_{CC} = \text{MAX.}, V_{OUT} = 0 \text{ V}$ Cada entrada
I_{CC}	Corriente de alimentación		29	48	mA	$V_{CC} = \text{MAX.}, V_{IN} = 4.5 \text{ V}$ Cada entrada